**OPIS PRZEDMIOTU ZAMÓWIENIA**

1. **Przedmiot zamówienia**

Przedmiotem zamówienia jest zaprojektowanie oraz wykonanie dedykowanego układu scalonego ASIC (ang. application specific integrated circuit) służącego do odczytu i wzmocnienia sygnału z detektora podczerwieni InGaAs (arsenek indowo-galowy) w ramach zadania 3 projektu POIR.01.01.01-00-0480/20. Wytworzony model ASIC posłuży do wytworzenia zminiaturyzowanego wysokotemperaturowego modułu detekcyjnego InGaAs.

W ramach prac wykonawca zobowiązuje się do :

* + - 1. Wykonania analizy dostępnych technologii wytwarzania układów scalonych i wybór optymalnego rozwiązania uwzględniając konieczność:
         1. umieszczenia od 2 do 4 niezależnych torów wzmacniających w ramach jednego układu ASIC dopasowanych do różnych zakresów rezystancji detektora podczerwieni,
         2. zaimplementowania zintegrowanego czujnika temperatury oraz jego pełnego scharakteryzowania,
         3. wysokiej dojrzałości technologicznej produkcji układów ASIC,
         4. możliwości wyprodukowania układu w fabrykach typu FAB/Foundry w terminie wynikającym z umowy.
         5. Osiągnięcia parametrów zamieszczonych w pkt 5.
      2. Wykonania projektu schematu elektrycznego umożlwiających otrzymanie parametrów z pkt 5. Projekt ten powinien zostać przedłożony firmie VIGO SYSTEM S.A. celem akceptacji.
      3. Przeprowadzenia symulacji komputerowej SPICE (ang. Simulation Program with Integrated Circuit Emphasis) oraz rozrzutów technologicznych wykonywana na wczesnym etapie projektowania sprawdzająca poprawność układu scalonego.
      4. Wykonania projektu topografii układu scalonego, ekstrakcja do schematu elektrycznego z uwzględnieniem elementów pasożytniczych.
      5. Analizy SPICE układu pkt 1 ppkt. 4 z elementami pasożytniczymi.
      6. Wykonanie projektu masek testowych według przyjętej technologii produkcji. O której mowa w § 1 pkt. 1.
      7. Wybór fabryki typu FAB/Foundry wytwarzającej układ scalony, w tym złożenia zamówienia na produkcję testowej partii układów scalonych(Zamawiający nie bierze udziału w procesie produkcji partii testowej).
      8. Wykonanie testów wyprodukowanych układów scalonych. Testy będą składały się z   
         (dokładne dane w pkt 5):
         1. pomiar właściwości elektrycznych układu ASIC,
         2. pomiaru charakterystyki optycznej zintegrowanego chipu z pomocą firmy VIGO SYSTEM S.A.,
         3. pomiaru szybkości odpowiedzi zintegrowanego chipu.

Dodatkowo Wykonawca spełni następujące wymagania:

1. Wykonawca powinien posiadać niezbędną wiedzę, doświadczenie oraz potencjał techniczny i ludzki do wykonania Zamówienia.
2. Zespół projektowy składa się co najmniej z ekspertów w dziedzinie:
   1. projektowanie analogowych układów scalonych w środowisku ECAD (ang. Electronic Computer Aided Design)
   2. modelowanie analogowych układów scalonych w środowisku ECAD
   3. testowanie układów scalonych z wykorzystaniem analizy SPICE
3. Wykonawca musi posiadać udokumentowane należyte wykonanie i realizację komercyjnego projektu na opracowanie i wytworzenie układów scalonych ASIC.
4. Wykonawca musi przedstawić referencje lub dokumenty potwierdzające zlecenia (co najmniej dwa) produkcyjne dla FAB (nie starsze niż 2 lata od ostatecznego terminu składania ofert)
5. Projekt musi być wykonywany przy wykorzystaniu oprogramowania umożliwiających przeniesienie praw i późniejsze komercyjne wykorzystanie zaprojektowanego układu.
6. **Zakres przedmiotu zamówienia**

Skład przedmiotu zamówienia zostaje podzielony na 3 główne etapu, po których następują cząstkowe płatności:

Etap I - Projekt układu ASIC,

Etap II - Produkcja w FAB partii testowej układów ASIC,

ETAP III - Wykonanie partii prototypowej modułów detekcyjnych oraz ich testowanie oraz dostarczenie dokumentacji technologicznej(schematy układów ASIC, topografia) oraz raportu z przeprowadzonych badań.

1. **Kryteria oceny**

Oferty oceniane będą wg skali punktowej z maksymalną liczbą punktów wynoszącą 100.

|  |  |  |
| --- | --- | --- |
| Kryterium | Maksymalna ilość punktów (S) | Metoda przyznawania punktów |
| Cena netto (P) | 70 | S x Pmin/Pi |
| Termin wykonania wraz testami układów ASIC zgodnie z zamówieniem | 30 | S x Tmin/Ti |

Gdzie:

* Pi, Ti to odpowiednio cena netto (wykonanie wszystkich prac), Ti czas w tygodniach wykonania wszystkich prac - dla danej przedłożonej oferty.
* Pmin, Timin to odpowiednio minimalna cena netto dostawy zamawianych prac, najkrótszy czas realizacji prac spośród wszystkich przedłożonych ofert w tygodniach.

Końcowa punktacja zostanie wyliczona poprzez zsumowanie składowych cząstkowych, a następnie zaokrąglenie do dwóch miejsc po przecinku (zaokrąglając od „5” w górę).

1. **Termin realizacji**

**Wszystkie wymienione prace powinny zakończyć się do 30.12.2022 r**.

Zamawiający bierze pod uwagę możliwość przedłużenia terminu prac związanych realizacją zadania w trybie zmian Umowy. Stosowne zapisy zostały umieszczone w umowie regulującej współprace z oferentem.

Zamawiający w ramach przedmiotowego projektu planuje kontynuować projekt w ramach zadania 7 projektu POIR.01.01.01-00-0480/20 polegającego na optymalizacji otrzymanych w zadaniu 3 układów scalonych. Zamówienie będzie realizowane w następstwie osobnego postępowania przetargowego.

1. **Parametry**

|  |  |  |
| --- | --- | --- |
| Nazwa towaru | Parametr | Specyfikacja |
| Architektura tory wzmacniającego | Pasmo | DC-1MHz (10MHz max) |
| Szum odniesiony do wejścia uwzgledniający Rf | en<1nV i in<5pA |
| Napięcie niezrównoważenia | <5mV |
| Prąd zasilania | <500mA |
| Wzmocnienie 1 stopnia  *z uwzględnieniem pasma* | 10k-100kV/A |
| Wzmocnienie 2 stopnia | 10-100V/V |
| Układ scalony ASIC | Liczba torów wzmacniających | Od 2 do 4 dopasowywanych do rezystancji detektora (od kilku Ω do dziesiątek kΩ), z możliwością łatwego wyboru |
| Wymiary ASIC | Max 1.5x1.5mm |
| Pady wyjściowe | Pady wyjściowe 200x200µm umożliwiający ponowny bonding , raster minimum 150um |
| Zintegrowany czujnik temperatury | Umożliwienie kontroli temperatury w zakresie 200-350K |
| Filtrowanie zasilania | PSRR>100dB |
| Test układu ASIC w siedzibie wykonawcy | pomiar właściwości elektrycznych układu ASIC | Sprawdzenie finalnych parametrów toru wzmacniającego względem przyjętych na etapie projektowania |
| Test modułu detekcyjnego w siedzibie zamawiającego | pomiaru charakterystyki optycznej zintegrowanego chipu z pomocą firmy VIGO SYSTEM S.A. | Czułość przyrządu (Rv) InGaAs po integracji z układem scalonym większa niż ≥700V/W |
| pomiaru szybkości odpowiedzi zintegrowanego | Pasmo przenoszenia modułu DC-1MHz (10MHz max) |

1. **Dodatkowe informacje**

Partia testowa modułów detekcyjnych InGaAs+ASIC zostanie wykonana w siedzibie Zamawiającego

Testy modułów detekcyjnych InGaAs+ASIC zostaną wykonane w siedzibie zamawiającego w obecności wykonawcy po wykonaniu pomiaru poprawności wykonania układu ASIC oraz pomiaru właściwości elektrycznych układu ASIC przez wykonawce. Parametry testu wyszczególnione w § 5.

Rozmieszczenie padów wyjściowych oraz finalne wymiary ASIC zostaną podane w przeciągu 1 miesiąca od podpisania umowy.