**Lista zmian Zapytania ofertowego IGA-9\_21**

W dniu 19.11.2021 r. Zamawiający dokonał zmian Zapytania ofertowego w przedmiotowym zakresie.

**Zapytanie ofertowe:**

1. Punkt 8

Było:

8 Termin składania ofert

8.1 Ofertę należy złożyć w terminie do dnia 29 listopada 2021 r.

8.2 Wykonawca powinien być związany złożoną ofertą przez okres co najmniej 60 dni. Bieg terminu związania ofertą rozpoczyna się wraz z upływem terminu składania ofert.

Jest:

8 Termin składania ofert

8.1 Ofertę należy złożyć w terminie do **dnia 7 grudnia 2021** r.

8.2 Wykonawca powinien być związany złożoną ofertą przez okres co najmniej 60 dni. Bieg terminu związania ofertą rozpoczyna się wraz z upływem terminu składania ofert.

**Opis przedmiotu zmówienia:**

Było: Wybór fabryki typu FAB/Foundry wytwarzającej układ scalony, w tym złożenia zamówienia na produkcję testowej partii układów scalonych(Zamawiający nie bierze udziału w procesie produkcji partii testowej).

Jest: Wybór fabryki typu FAB/Foundry wytwarzającej układ scalony, w tym złożenia zamówienia na produkcję testowej partii układów scalonych w liczbie 75-200 sztuk w zależności od zaprojektowanego układu i jego wielkości (Zamawiający nie bierze udziału w procesie produkcji partii testowej). Wycena składowej wynagrodzenia Wykonawcy w tym obszarze powinna zakładać ryczałtową cenę niezależnie od ostatecznej zaakceptowanej ilości układów w ramach ww. przedziału.

Było:

(8) Wykonanie testów wyprodukowanych układów scalonych. Testy będą składały się z

(dokładne dane w pkt 5):

(a) pomiar właściwości elektrycznych układu ASIC,

(b) pomiaru charakterystyki optycznej zintegrowanego chipu z pomocą firmy VIGO SYSTEM S.A.,

(c) pomiaru szybkości odpowiedzi zintegrowanego chipu.

Jest:

(8) Wykonanie testów wyprodukowanych układów scalonych. Testy będą składały się z

(dokładne dane w pkt 5):

(a) pomiar właściwości elektrycznych układu ASIC,

(b) pomiaru charakterystyki optycznej zintegrowanego chipu z pomocą firmy VIGO SYSTEM S.A.(2 dni robocze),

(c) pomiaru szybkości odpowiedzi zintegrowanego chipu.

Tabela

Było:

|  |  |  |
| --- | --- | --- |
| Układ scalony ASIC | Liczba torów wzmacniających | Od 2 do 4 dopasowywanych do rezystancji detektora (od kilku Ω do dziesiątek kΩ), z możliwością łatwego wyboru |
| Wymiary ASIC | Max 1.5x1.5mm |
| Pady wyjściowe | Pady wyjściowe 200x200µm umożliwiający ponowny bonding , raster minimum 150um |
| Zintegrowany czujnik temperatury | Umożliwienie kontroli temperatury w zakresie 200-350K |
| Filtrowanie zasilania | PSRR>100dB |

Jest:

|  |  |  |
| --- | --- | --- |
| Układ scalony ASIC | Liczba torów wzmacniających | Od 2 do 4 dopasowywanych do rezystancji detektora (od kilku Ω do dziesiątek kΩ), z możliwością łatwego wyboru |
| Wymiary ASIC | Max 1.5x1.5mm |
| Pady wyjściowe | Pady wyjściowe 200x200µm umożliwiający ponowny bonding , raster minimum 150um |
| Zintegrowany czujnik temperatury | Umożliwienie kontroli temperatury w zakresie 230-350K (-40C +80C) z dokładnością 5-10% |
| Filtrowanie zasilania | PSRR>100dB |

Było:

|  |  |  |
| --- | --- | --- |
| Test układu ASIC w siedzibie wykonawcy | pomiar właściwości elektrycznych układu ASIC | Sprawdzenie finalnych parametrów toru wzmacniającego względem przyjętych na etapie projektowania |

Jest:

|  |  |  |
| --- | --- | --- |
| Test układu ASIC w siedzibie wykonawcy | pomiar właściwości elektrycznych układu ASIC | Sprawdzenie finalnych parametrów tory wzmacniającego tzn. wykonanie charakterystyki szumów i wzmocnienia w funkcji częstotliwości z uwzględnieniem skrajnych temperatur -40C +80C i porównanie jej założeniami przyjętymi na etapie projektowania |

Wzór Formularza ofertowego:

Było:

|  |  |  |  |
| --- | --- | --- | --- |
| Nazwa towaru | Parametr | Specyfikacja | Tak/nie |
| Architektura tory wzmacniającego | Pasmo | DC-1MHz (10MHz max) |  |
| Szum odniesiony do wejścia uwzgledniający Rf | en<1nV i in<5pA |  |
| Napięcie niezrównoważenia | <5mV |  |
| Prąd zasilania | <500mA |  |
| Wzmocnienie 1 stopnia  *z uwzględnieniem pasma* | 10k-100kV/A |  |
| Wzmocnienie 2 stopnia | 10-100V/V |  |
| Układ scalony ASIC | Liczba torów wzmacniających | Od 2 do 4 dopasowywanych do rezystancji detektora (od kilku Ω do dziesiątek kΩ), z możliwością łatwego wyboru |  |
| Wymiary ASIC | Max 1.5x1.5mm |  |
| Pady wyjściowe | Pady wyjściowe 200x200µm umożliwiający ponowny bonding , raster minimum 150um |  |
| Zintegrowany czujnik temperatury | Umożliwienie kontroli temperatury w zakresie 200-350K |  |
| Filtrowanie zasilania | PSRR>100dB |  |
| Test układu ASIC w siedzibie wykonawcy | pomiar właściwości elektrycznych układu ASIC | Sprawdzenie finalnych parametrów toru wzmacniającego względem przyjętych na etapie projektowania |  |
| Test modułu detekcyjnego w siedzibie zamawiającego | pomiaru charakterystyki optycznej zintegrowanego chipu z pomocą firmy VIGO SYSTEM S.A. | Czułość przyrządu (Rv) InGaAs po integracji z układem scalonym większa niż ≥700V/W |  |
| pomiaru szybkości odpowiedzi zintegrowanego | Pasmo przenoszenia modułu DC-1MHz (10MHz max) |  |

Jest:

|  |  |  |  |
| --- | --- | --- | --- |
| Nazwa towaru | Parametr | Specyfikacja | Tak/nie |
| Architektura tory wzmacniającego | Pasmo | DC-1MHz (10MHz max) |  |
| Szum odniesiony do wejścia uwzgledniający Rf | en<1nV i in<5pA |  |
| Napięcie niezrównoważenia | <5mV |  |
| Prąd zasilania | <500mA |  |
| Wzmocnienie 1 stopnia  *z uwzględnieniem pasma* | 10k-100kV/A |  |
| Wzmocnienie 2 stopnia | 10-100V/V |  |
| Układ scalony ASIC | Liczba torów wzmacniających | Od 2 do 4 dopasowywanych do rezystancji detektora (od kilku Ω do dziesiątek kΩ), z możliwością łatwego wyboru |  |
| Wymiary ASIC | Max 1.5x1.5mm |  |
| Pady wyjściowe | Pady wyjściowe 200x200µm umożliwiający ponowny bonding , raster minimum 150um |  |
| Zintegrowany czujnik temperatury | Umożliwienie kontroli temperatury w zakresie 230-350K (-40C +80C) z dokładnością 5-10% |  |
| Filtrowanie zasilania | PSRR>100dB |  |
| Test układu ASIC w siedzibie wykonawcy | pomiar właściwości elektrycznych układu ASIC | Sprawdzenie finalnych parametrów tory wzmacniającego tzn. wykonanie charakterystyki szumów i wzmocnienia w funkcji częstotliwości z uwzględnieniem skrajnych temperatur -40C +80C i porównanie jej założeniami przyjętymi na etapie projektowania |  |
| Test modułu detekcyjnego w siedzibie zamawiającego | pomiaru charakterystyki optycznej zintegrowanego chipu z pomocą firmy VIGO SYSTEM S.A. | Czułość przyrządu (Rv) InGaAs po integracji z układem scalonym większa niż ≥700V/W |  |
| pomiaru szybkości odpowiedzi zintegrowanego | Pasmo przenoszenia modułu DC-1MHz (10MHz max) |  |

Wzór Umowy.

Było:

2.4 W ramach Etapu II Wykonawca zobowiązuje się do:

Wykonania projektu masek testowych według przyjętej technologii produkcji o której mowa w pkt 1 ppkt. 1 Opisu przedmiotu zamówienia.

- złożenia zamówienia na produkcję testowej partii układów scalonych(Zamawiający nie bierze udziału w procesie produkcji partii testowej).

- Wykonanie testów wyprodukowanych układów scalonych. Testy będą składały się z

(dokładne dane w pkt 5 Opisu Przedmiotu Zamówienia):

(a) pomiar właściwości elektrycznych układu ASIC,

(b) pomiaru charakterystyki optycznej zintegrowanego chipu z pomocą firmy VIGO SYSTEM S.A.,

(c) pomiaru szybkości odpowiedzi zintegrowanego chipu

Jest:

* 1. W ramach Etapu II Wykonawca zobowiązuje się do:

Wykonania projektu masek testowych według przyjętej technologii produkcji o której mowa w pkt 1 ppkt. 1 Opisu przedmiotu zamówienia.

- złożenia zamówienia na produkcję testowej partii układów scalonych złożenia zamówienia na produkcję testowej partii układów scalonych w liczbie 75-200 sztuk w zależności od zaprojektowanego układu i jego wielkości (Zamawiający nie bierze udziału w procesie produkcji partii testowej

- Wykonanie testów wyprodukowanych układów scalonych. Testy będą składały się z

(dokładne dane w pkt 5 Opisu Przedmiotu Zamówienia):

(a) pomiar właściwości elektrycznych układu ASIC,

(b) pomiaru charakterystyki optycznej zintegrowanego chipu z pomocą firmy VIGO SYSTEM S.A (2 dni robocze),

(c) pomiaru szybkości odpowiedzi zintegrowanego chipu